

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-235720

(43)Date of publication of application : 31.08.2001

(51)Int.Cl.

G02F 1/133

G09G 3/20

G09G 3/36

(21)Application number : 2000-044415

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 22.02.2000

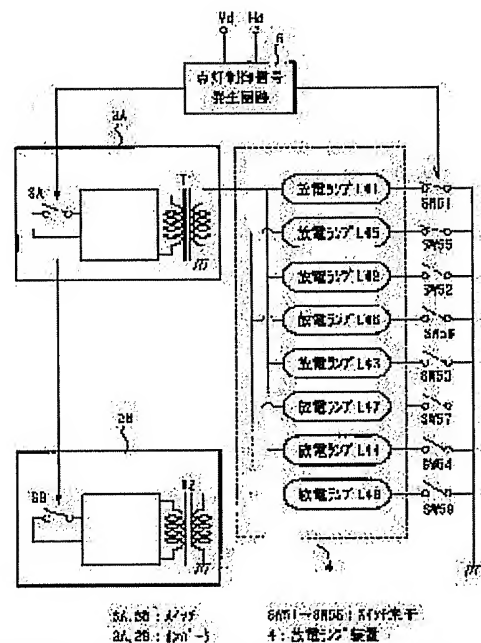
(72)Inventor : FUJINO JUNICHI
AGARI MASASHI
YUKI AKIMASA

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device with a builtin discharge lamp scanning lighting device for improving an animation display performance of a liquid crystal, and reducing cost increase of a backlight and decrease in brightness.

SOLUTION: This liquid crystal display device is provided with plural pieces (N) of inverters for turning on discharge lamps with switches for switching ON-OFF outputs, and an output transformer of each inverter is provided with plural pieces (M) of discharge lamps on the secondary side, and switch elements are provided in series in the discharge lamps, and a turn-on control signal generation circuit sequentially turns ON-OFF the switches, and thereby turns on the discharge lamps sequentially.



LEGAL STATUS

[Date of request for examination]

18.10.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-235720

(P2001-235720A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

G 0 2 F 1/133

5 3 5

G 0 2 F 1/133

5 3 5

2 H 0 9 3

G 0 9 G 3/20

6 7 0

G 0 9 G 3/20

6 7 0 D

5 C 0 0 6

3/36

3/36

5 C 0 8 0

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号

特願2000-44415 (P2000-44415)

(22) 出願日

平成12年2月22日 (2000.2.22)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 藤野 順一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 上里 将史

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100102439

弁理士 宮田 金雄 (外1名)

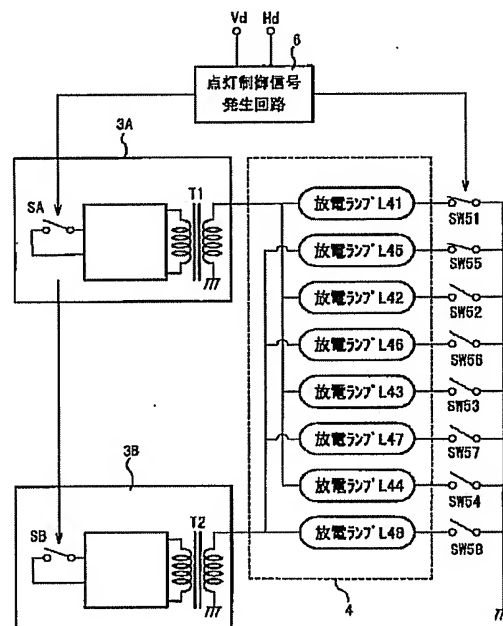
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶の動画表示性能を改善し、かつバックライトのコストアップおよび明るさの低下を小さくする放電ランプ走査点灯装置を内蔵した液晶表示装置を得る。

【解決手段】 出力をON/OFFするスイッチを備えた放電ランプ点灯用インバータを複数個 (N) 備え、各インバータの出力トランスの2次側に複数個 (M) の放電ランプを設け、該放電ランプにはそれぞれ直列にスイッチ素子を備え、点灯制御信号発生回路により該スイッチを順次ON/OFFすることにより、放電ランプを順次点灯させる。



SA, SB : スイッチ
3A, 3B : インバータ

SW51~SW58 : スイッチ素子
4 : 放電ランプ装置

【特許請求の範囲】

【請求項1】 液晶表示パネルを有する液晶表示部と、上記液晶パネルを照明する放電ランプ及び放電ランプ走査点灯部を有する液晶表示装置において、上記放電ランプ走査点灯部が、出力をON/OFFするスイッチを有す複数のインバータと、各インバータの出力トランスの2次側に設けた複数の放電ランプと、上記放電ランプに対しそれぞれ直列に接続されたスイッチ素子と、上記スイッチ素子を順次ON/OFFすることにより、上記放電ランプを順次点灯させる点灯制御信号を発生する点灯制御信号発生回路とにより構成しことを特徴とする液晶表示装置。

【請求項2】 放電ランプの走査点灯を液晶表示パネルの書き込みタイミングと同期させ、対応の放電ランプの走査点灯タイミングを一定時間遅延させるように上記スイッチのON/OFFを設定したことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 隣接する放電ランプ同士が時間的に一部重なりあって走査点灯するように上記スイッチ素子のON/OFFを設定したことを特徴とする請求項1又は請求項2記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶バックライトの様な複数の放電ランプにより照明する2次元照明装置、特に点灯を走査する放電ランプ走査点灯装置を内蔵した液晶表示装置に関する。

【0002】

【従来の技術】フラットパネル表示装置として、液晶表示装置が小型軽量であるという特徴を生かして、各種モニタ及びTV表示装置として広く用いられてきている。

【0003】しかし、従来の液晶表示装置は、液晶が保持型表示装置であること、及び液晶の応答特性が比較的遅い為静止画の表示では特に問題がないが、動画を表示した場合ボケ及び尾引現象が生じCRTに比べて画質が劣る。

【0004】最近パソコンのモニタとしてもまたTVではもちろん動画を液晶表示装置に表示する場合が増加しており、動画の画質が問題になりつつある。

【0005】従来から、液晶の応答速度の改善は継続的に行われているが、動画表示、たとえばNTSC標準TV方式の動画を表示するに十分な応答速度として、フレーム周期1/60秒に対し1桁速い応答速度1.7msを実現するのは至難である。現状の液晶の応答速度はフレーム周期の数倍のものが大部分であり、速い動きの画像に対しては、大きな画質劣化が生じる。

【0006】この様な液晶に対し、バックライトの工夫により実効的に液晶の応答性を改善し、動画表示性能を向上させる提案が、例えば特開平11-202286号公報に記載されている。

【0007】この特開平11-202286号公報に記載された構成は、液晶のバックライトを走査方向に複数個Nの領域に分割し、対応する液晶表示部の書き込み操作に対し一定の時間遅延を持たせ、対応するバックライトの分割領域を順次発光させる様にしたもので書き込み直後の液晶が十分応答していない時間は発光させず、応答が比較的安定した次のフレームにおける書き込みの直前に発光させることで動画性能を改善している。図7にはN=4個の領域にバックライトを分割した構成を示している。図8において、1は分周用のカウンタ2とシフトレジスタ3を備えた点灯制御信号発生回路である。4-1~4-4はインバータ、5-1~5-4はインバータ4-1~4-4に接続された放電ランプである。

【0008】このような構成における液晶表示パネルの書き込みタイミング及び液晶の応答と放電ランプの点灯タイミングについて図8を用いて説明する。図8は最も好ましい液晶の書き込みタイミングと応答及びランプの点灯タイミングを示す図である。放電ランプ(5-1~5-4)は垂直方向に4個配置され対応した液晶表示パネルのブロックが4つ(B1~B4)あり、垂直同期信号の周期TでブロックB1~ブロックB4に対応する液晶に画像信号が書き込まれる。通常液晶の信号書き込みは線順次であるためブロック内においても上端と下端では書き込みタイミングが異なる。例えば、ブロックB1の部分の上端と下端のラインの液晶はそれぞれLCDの応答特性B1-U及びB1-Lで示される様な応答をする。このブロックB1に対応する放電ランプ5-1の点灯タイミングは図のランプ5-1で示される様にブロックB1の書き込み開始のタイミングから一定時間Td遅れて点灯し、次のフレームの書き込みタイミングの直前に消灯する。点灯時間はTwでありデューティは約1/4となる。しかし、図から判る様に液晶の応答はブロックB1の上端については良いが、下端についてはまだ液晶が十分応答していない状態で放電ランプが点灯することになり、ブロック内で上下方向に輝度差を生じる。これは他の各ブロックB2~B4とランプ5-2~5-4との関係においても同様であり、液晶表示パネルの画面としては垂直方向の輝度ムラが発生することになる。これを改善するにはブロックの分割数即ち放電ランプの数を増やせばよいが、コスト面及びデューティは1/ブロック数(放電ランプ数)となるので明るさが大幅に低下する。

【0009】以上で述べたように、現状の液晶の応答速度はフレーム周期に対し十分で無い為、この方式によるバックライト点灯時間は液晶表示部における書き込みの直前の短時間となりバックライトの分割数Nをかなり多くする必要がある。また、この分割された数だけのバックライト点灯装置であるインバータを必要とし、コスト面での問題とフレーム時間の内バックライトの点灯は分割された領域の1個であり、連続点灯の場合に比べバツ

クライトの領域の分割数を N とした場合 明るさは $1/N$ となり、動画性能を上げるために分割数 N を多くすればするほど暗くなるといった問題点がある。

【0010】

【発明が解決しようとする課題】この様に従来の液晶表示装置では液晶が保持型表示装置であること、及び液晶の応答が遅いため、動画表示性能がCRT等と比べ大きく劣るといった問題点があり、これを改善する為単純にバックライトを分割して点灯する方式では、動画表示性能を上げる為には、分割数 N を多くする必要があり、コストの上昇及び明るさの低下といった問題点がある。

【0011】本発明は、上記問題点に鑑みてなされたもので、液晶の動画表示性能を改善し、且つバックライトのコストアップ及び明るさの低下を小さくする放電ランプ走査点灯装置を備えた液晶表示装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の第1の構成による液晶表示装置の放電ランプ走査点灯装置は、液晶表示部に対応した複数個(N)のインバータに接続された複数個(M)の放電ランプの合計 $M \times N$ 個の放電ランプを備え、液晶表示部の書き込みタイミングに同期して、インバータのSW及び放電灯に直列に接続された電子SWの制御により、放電ランプの対応領域を点灯させ、放電ランプを走査点灯させるものである。

【0013】また、本発明の第2の構成による液晶表示装置の放電ランプ走査点灯装置は、放電ランプの走査点灯タイミングを液晶表示部の書き込みタイミングに対し、一定時間遅延させて点灯させ、次のフレームの書き込みタイミングの直前で消灯させるものである。

【0014】また、本発明の第3の構成による液晶表示装置の放電ランプ走査点灯装置においては、放電ランプを時間的に重なり合った N 個が順次シフトして点灯/消灯させるも液晶表示装置のである。

【0015】

【発明の実施の形態】次に本発明の実施の形態を図に基づいて説明する。

実施の形態1

図1は本発明による実施の形態1を示す液晶表示装置において、放電ランプ走査点灯装置を示す構成図である。この放電ランプ走査点灯装置は液晶表示部の液晶パネルを照明するがこの液晶パネルを備えた液晶表示部は省略している。液晶表示装置は高圧出力をON/OFFするスイッチSA、SBを備えた2個($N=2$)のインバータ3A、3Bと、インバータ3Aの出力トランスT1の2次側に並列に接続された4個($M=4$)の放電ランプL41~L44と、各放電ランプL41~L44に直列に接続されたスイッチ素子SW51~SW54と、インバータ3Bの出力トランスT2の2次側に並列に接続された4個($M=4$)の放電ランプL45~L48と、垂

直同期信号Vd、水平同期信号Hdを入力してスイッチSA、SB及びスイッチ素子SW55~SW58をON/OFFする点灯制御信号を発生する点灯制御信号発生回路6とより構成される。上記放電ランプL41~L48よりなる放電ランプ装置4は液晶表示パネルにおけるいわゆるバックライトを構成している。

【0016】本発明の実施の形態1においては、放電ランプL41~L48にそれぞれ直列に接続されたスイッチ素子SW51~SW58とインバータ3A、3Bの高圧出力を制御するスイッチSA、SBを設け、これらのスイッチSA、SBとスイッチ素子SW51~SW58を組み合わせて点灯制御信号発生回路6によりスイッチのON/OFFを制御することにより、放電ランプの点灯を安定して制御することができる。

【0017】液晶表示装置の動作を図2により詳しく説明する。インバータ3AのスイッチSA及びインバータ3BのスイッチSBに図2のSA、SBに示す間欠的にインバータの出力をOFFとするパルス信号(ON/OFF信号)を印加する。このパルス信号は点灯制御信号発生回路6により、液晶表示パネルの表示画面における1フレームの水平走査期間(1V周期)に8個発生させている。このパルス信号はインバータ3A、3Bに入力され図2のインバータ出力に示す高周波の出力信号を発生させる。また、放電ランプL41~L44に繋がるスイッチ素子SW51~SW54には図中S51~S54で示すタイミングで矩形波状の点灯制御信号が印加され、放電ランプL45~L48に繋がるスイッチ素子SW55~SW58には図中S55~S58で示すタイミングで矩形波状の点灯制御信号が印加される。これらの点灯制御信号は上記インバータ出力に対し図のような関係、すなわち単一の各点灯制御信号のON期間は連続する2個のインバータ出力期間に相当する関係にある。また、これらの各点灯制御信号をみると、点灯制御信号信号S51のON期間の中間において点灯制御信号S55がN状態となり、この点灯制御信号S55のON期間の中間において点灯制御信号S52がON状態となると同時に点灯制御信号S51がOFF状態となる。以下点灯制御信号S53~S58は同様なタイミングでON/OFF動作を行う。各スイッチSA、SBへの上記パルス信号及びスイッチ素子SW51~SW58への上記点灯制御信号(ON/OFF信号)は、カウンタ及びシフトレジスタ等の簡単な周知のロジック回路で構成される垂直同期信号Vdと水平同期信号Hdを入力とする点灯制御信号発生回路6により発生させる。

【0018】この様な点灯制御信号S51~S58を各スイッチ素子SW51~SW58に印加した場合、放電ランプL41~L48は図2のランプL41~L48に示す波形のタイミングにより点灯/消灯する。即ち、インバータ出力が間欠的にOFFしている期間(図において間隙として示す。)はすべての放電ランプがOFF状態であ

り、スイッチ素子に点灯制御信号が印加されている放電ランプだけが点灯する。放電ランプの点灯特性は一般的に図3に示す様に放電ランプの端子間に点灯電圧 V_d 以上の電圧が印加された時、放電を始め放電電流が増加し発光点灯する。同じインバータに繋がる放電ランプには同時にインバータ出力が印加されるが、同じインバータに接続された4個のスイッチ素子うちで点灯制御信号

(ON信号)が印加されているスイッチ素子に繋がる放電ランプが先に点灯電圧 V_d に達し、放電電流 I_s が増加し点灯発光すると放電ランプの端子間電圧即ちインバータ出力は図の様に低下し、同じインバータに繋がる他の放電ランプは点灯電圧に達せず点灯しない。この様にしてインバータ出力が出ている時、同一のインバータに接続された4つのスイッチのうちで点灯制御信号(ON信号)が印加されているスイッチ素子に繋がる放電ランプだけが安定して点灯発光する。インバータ3Aに繋がる放電ランプL41~L44及びインバータ3Bに繋がる放電ランプL45~L48についてみると、それぞれ、或る瞬間には1個だけが点灯しており、各インバータの出力容量は放電ランプ1個分で良いことになる。

【0019】実施の形態2

図4により実施の形態2について説明する。実施の形態1におけるインバータのスイッチ素子SA、SBに印加するパルス信号を、図4に示すように液晶表示パネルの表示画面における1フレームの水平走査期間(1V周期)において互いに位相が半波長だけずれている4個のパルス信号により構成する。このパルス信号SA、SBを入力したインバータ3A、3Bからはそれぞれインバータ出力A、Bに示す高周波の出力信号が発生する。放電ランプL41からL48に繋がるスイッチ素子SW51~SW58にはインバータ出力A、Bに対し図中S51~S58で示すタイミングで矩形波状(実施の形態1と同じ)の点灯制御信号が印加される。これらの点灯制御信号の印加される相互のタイミング即ちON/OFF動作は実施の形態1と同じであるが、点灯制御信号のパルス幅が各インバータ出力A、Bの出力期間に等しく設定されている点が実施の形態1と相違する。各スイッチSA、SBへの上記パルス信号及びスイッチ素子SW51~SW58への上記点灯制御信号(ON/OFF信号)は、カウンタ及びシフトレジスタ等の簡単な周知のロジック回路で構成される垂直同期信号 V_d と水平同期信号 H_d を入力とする点灯制御信号発生回路6により発生させる。図4に示すような点灯制御信号S51~S58を各スイッチ素子SW51からSW58に印加した場合、放電ランプ41~48は図4のランプ41~48に示す波形のタイミングにより点灯/消灯する。この場合、各放電ランプは図2の場合と異なり点灯は連続しており、ランプを消灯するためにインバータの出力をOFFする時間が長く必要な場合には好都合である。

【0020】本発明による実施の形態では図5に示す様

に放電ランプは垂直方向に8個(L41~L48)配置され対応した液晶表示パネルのブロックが8個(B1~B8)あり、垂直同期信号の周期TでブロックB1~B8に書き込まれ、同様の動作を行うが、液晶パネルのブロックが8個となりブロック内の上端と下端のラインの書き込みタイミングの時間差は図7に示す従来のようなブロックが4個の場合に比べての半分であり、例えば一番上のブロックB1に注目すると、上端のライン及び下端のラインにおける液晶の応答は、LCDの応答特性B1-U及びB2-Uに示す様になる。このブロックB1に対応する放電ランプ41の点灯は図のランプ41に示される様に、ブロックB1の書き込み開始のタイミングから時間Td遅れて点灯し、次のフレームの書き込みタイミングの直前に消灯する。点灯時間はTwであり、デューティは約1/4となる。図5から判る様にブロックB1の上端に比べ下端の応答は完全とはいえないが、図8に示すような従来の場合に比べかなり良い応答の状態で放電ランプが点灯することになり画面の垂直方向の輝度ムラは大幅に改善されることになる。また明るさはデューティに依存するので図2に示す実施の形態1の場合と同じである。また、ブロックの書き込み開始のタイミングと同期させ液晶の応答特性の最適なタイミングに遅延させることにより、特に動画像のボケを改善することができる。

【0021】実施の形態3

図1の実施の形態ではインバータの数Nを2とした場合を示したが、Nを2以上とすることによりブロック数を多くした場合、同じデューティ即ち明るさを変えずにブロック内の上端と下端における液晶の応答の差を小さくでき画面の輝度ムラを大幅に改善することができる。

【0022】実施の形態4

図6は本発明における実施の形態4を示すブロック図である。この実施の形態では図1の実施の形態1に示す各スイッチ素子SW51~SW58と並列にインピーダンス素子61を挿入したものである。この構成により放電開始時に印加される各スイッチ素子SW51~SW58に印加される電圧を低下させることができる。

【0023】

【発明の効果】本発明の第1の構成である液晶表示装置によれば、複数個のインバータに繋がる複数個の放電ランプをインバータの出力を制御するスイッチと放電ランプの点灯を制御するスイッチ素子を用い、安定に放電ランプを走査点灯することにより、表示性能特に画面の垂直方向の輝度ムラを大幅に改善することができる。

【0024】本発明の第2の構成である液晶表示装置によれば、放電ランプの走査点灯を液晶表示パネルの書き込みタイミングと同期させ、対応の放電ランプの走査点灯タイミングを一定時間遅延させることにより、特に動画像のボケを大幅に改善することができる。

【0025】本発明の第3の構成である液晶表示装置に

よれば、放電ランプの点灯を隣接の放電ランプが時間的に一部重なりあって走査点灯させることにより、表示性能特に画面の垂直方向の輝度ムラと動画像のボケとを大幅に改善することができる。

【図面の簡単な説明】

【図 1】 本発明における実施の形態 1 を示すブロック図である。

【図 2】 本発明における実施の形態 1 の動作を示すタイミングチャートである。

【図 3】 本発明における実施の形態 1 で使用される放電ランプの V—I 特性を示す点灯特性図である。

【図 4】 本発明における実施の形態 2 の動作を示すタイミングチャートである。

【図 5】 本発明の実施の形態 1 における液晶の応答と放電ランプの点灯動作を示すタイミングチャートである。

【図 6】 本発明における実施の形態 3 を示す構成図である。

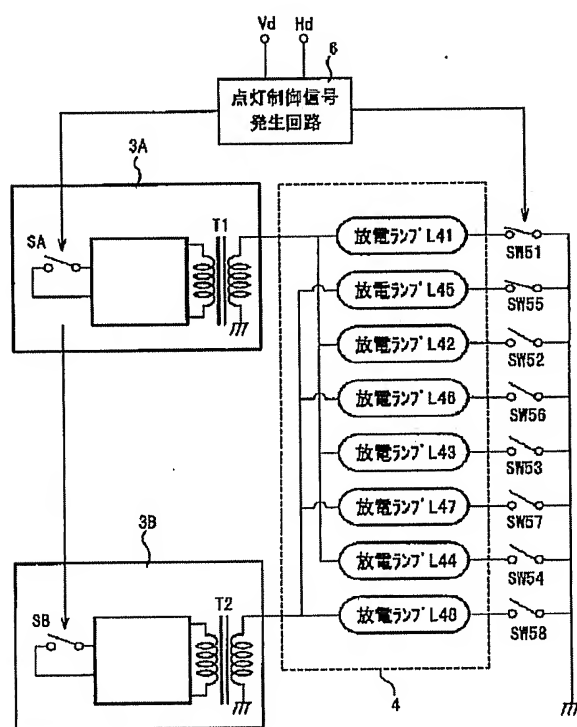
【図 7】 従来の液晶表示装置におけるバックライト部分を示す構成図である。

【図 8】 従来の液晶表示装置における液晶の応答と放電ランプの点灯動作を示すタイミングチャートである。

【符号の説明】

1 点灯制御信号発生回路、SA、SB スイッチ、3A、3B インバータ、L41～L48 放電ランプ、SW51～SW58 スイッチ素子。

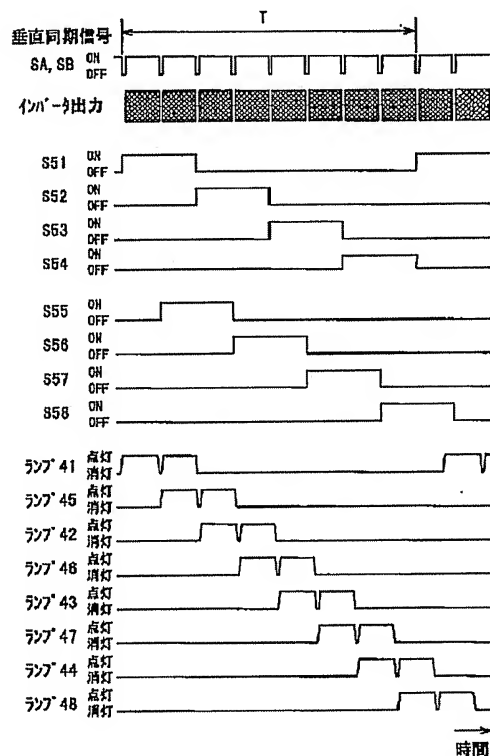
【図 1】



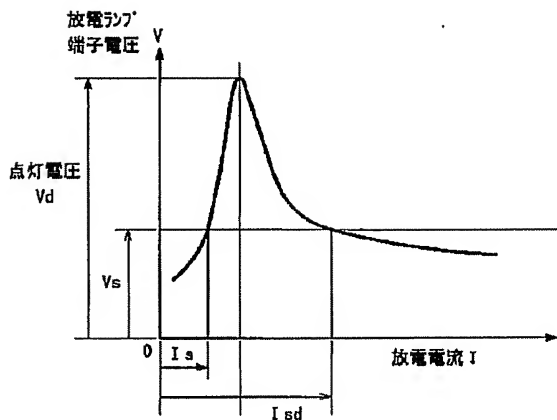
SA, SB : スイッチ
3A, 3B : インバータ

SW51～SW58 : スイッチ素子
4 : 放電ランプ装置

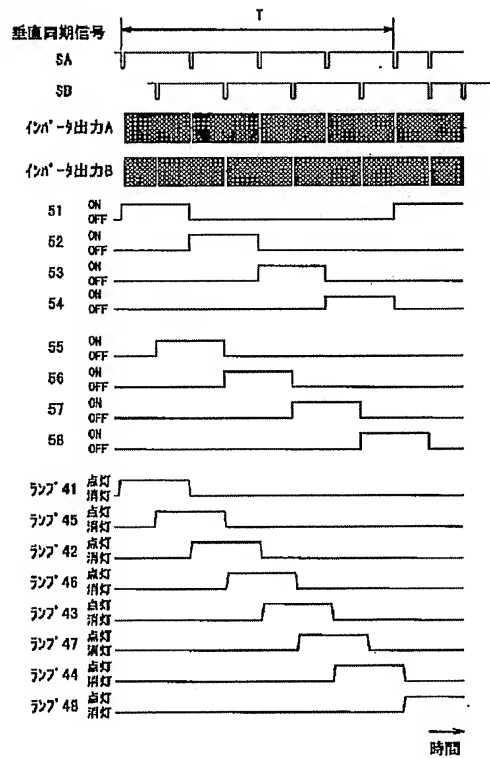
【図 2】



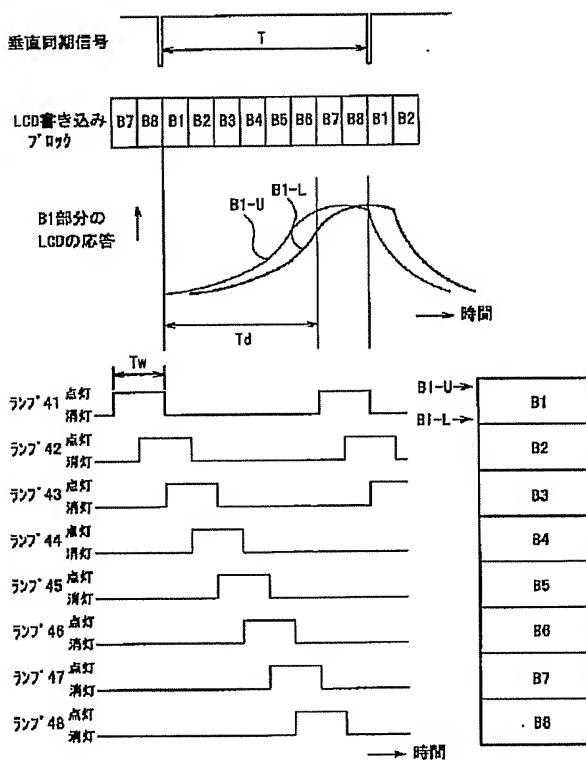
【図3】



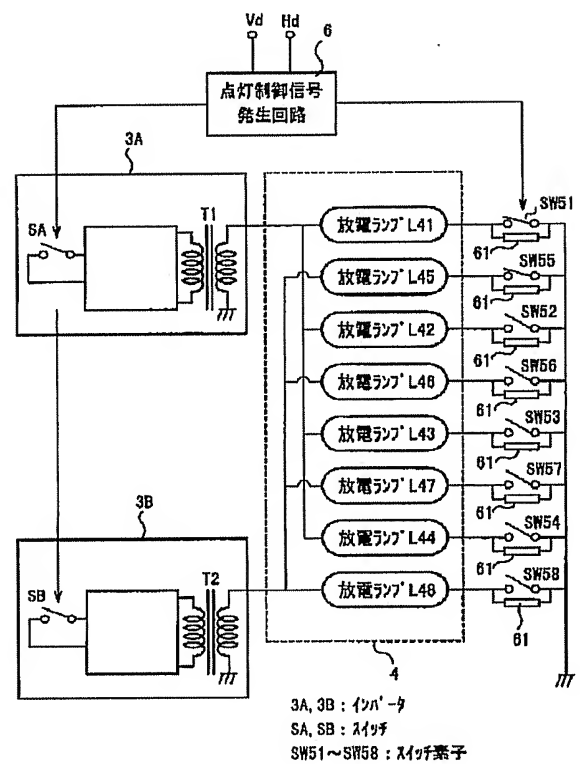
【図4】



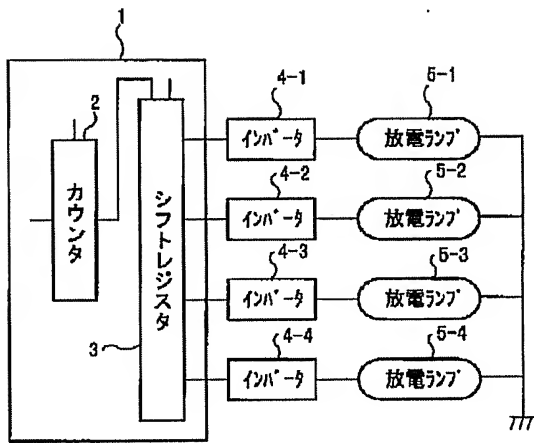
【図5】



【図6】

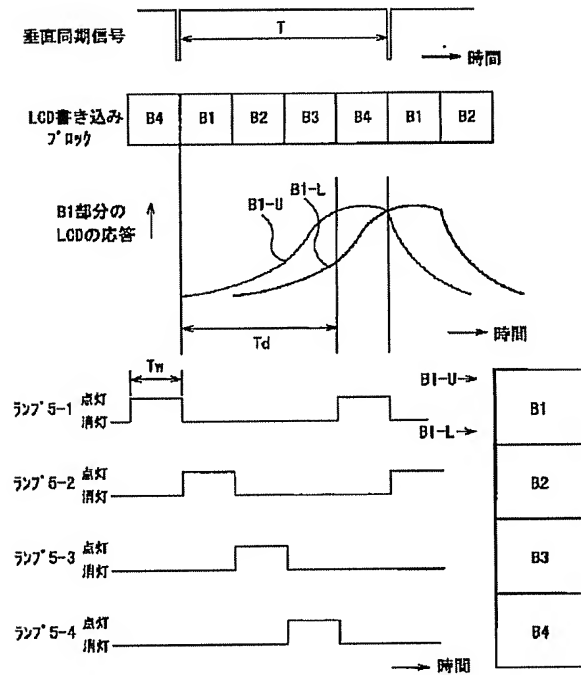


【図 7】



1: 点灯制御信号発生回路

【図 8】



フロントページの続き

(72) 発明者 結城 昭正
東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

F ターム (参考) 2H093 NA41 NC22 NC27 NC42 NC49
ND47 ND60
5G006 AB05 AF63 AF69 AF71 BF03
BF27 BF49 EA01 FA16 FA25
FA34 FA51
5G080 AA10 BB05 DD05 DD27 DD30
EE28 EE32 JJ02 JJ04 JJ05
KK02 KK43